

**SEMICONDUCTOR MULTI-CHIP MODULE**

Patent Number: JP11145381  
Publication date: 1999-05-28  
Inventor(s): SASAYA TAKUYA;; NISHIKAWA HIDEAKI;; KAWAHARA NOBUAKI  
Applicant(s): DENSO CORP  
Requested Patent: ☐ JP11145381  
Application Number: JP19970310753 19971112  
Priority Number(s):  
IPC Classification: H01L25/10; H01L25/11; H01L25/18; H01L23/40  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To provide a multi-chip module which can connect semiconductor chips to interposers and the interposers to each other at the same time, without requiring the formation of bumps on the front and rear surfaces of the interposers.

**SOLUTION:** This substrates 2a-2c are laminated upon another so that anisotropic conductive rubber bodies 8a and 8b are pinched between through- electrodes 7a and 7b which are connected electrically to each other, and the electrodes 7a and 7b are electrically connected to each other by pressurizing the rubber bodies 8a and 8b by pressing the substrates 2a and 2b against each other. At the same time, semiconductor chips 1a and 1b and bump electrodes 4a and 4b are respectively pinched among the substrates 2a-2c, so that the electrodes 4a and 4b are connected to electric wires 6a and 6c.

---

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-145381

(43) 公開日 平成11年(1999) 5月28日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 25/10  
25/11  
25/18  
23/40

H 0 1 L 25/14  
23/40

Z  
Z

審査請求 未請求 請求項の数 7 O L (全 8 頁)

(21) 出願番号

特願平9-310753

(22) 出願日

平成9年(1997)11月12日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 恒谷 卓也

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 西川 英昭

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 川原 伸章

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

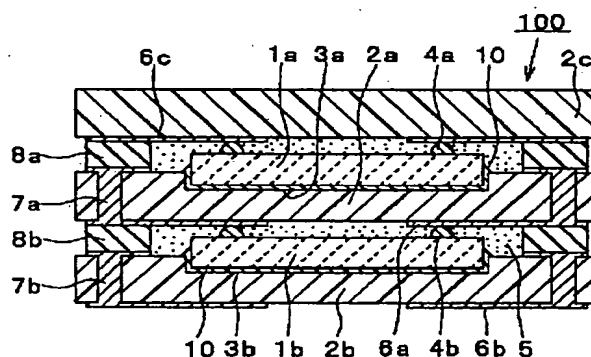
(74) 代理人 弁理士 伊藤 洋二 (外1名)

(54) 【発明の名称】 半導体マルチチップモジュール

(57) 【要約】

【課題】 インターポーザの表裏面にはんだバンプを形成する必要なく、かつ半導体チップとインターポーザ間及びインターポーザ同士の接続が同時に行えるマルチチップモジュールを提供する。

【解決手段】 電氣的に接続される貫通電極7a、7bのそれぞれの間に異方導電ゴム8a、8bが挟まれるように複数の積層薄膜基板2a～2cを積層し、この積層方向の両側から複数の積層薄膜基板2a～2cを加圧することによって、異方導電ゴム8a、8bが加圧されて貫通電極7a、7bの電氣的接続が行われるようにし、これと同時に半導体チップ1a、1b及びバンプ電極4a、4bが積層薄膜基板2a～2cの間に挟み込まれてバンプ電極4a、4bと電気配線6a、6cとが接続されるようにする。



## 【特許請求の範囲】

【請求項1】 表裏を電氣的に接続する配線部(6a～6c、7a～7c)が備えられていると共に、表面に半導体チップ(1a～1c)が搭載されたインターポーザ(2a～2c)を複数用意し、

これら複数のインターポーザ(2a～2c)を積層すると共に、該複数のインターポーザ(2a～2c)のそれぞれに備えられた前記配線部(6a～6c、7a～7c)のうち隣接するもの同士を電氣的に接続し、さらに前記半導体チップ(1a～1c)に設けられた電極部(4a～4c)と前記配線部(6a～6c、7a～7c)とを電氣的に接続してなる半導体マルチチップモジュールであって、

電氣的に接続される前記配線部(6a～6c、7a～7c)のそれぞれの間に導電部材(8a、8b)を挟んで前記複数のインターポーザ(2a～2c)が積層され、この積層方向の両側から前記複数のインターポーザ(2a～2c)が加圧されることによって、前記導電部材(8a、8b)と前記配線部(6a～6c、7a～7c)とが接続されると同時に、前記半導体チップ(1a～1c)及び前記電極部(4a～4c)が前記インターポーザ(1a～1c)の間に挟み込まれて固定されることにより前記電極部(4a～4c)と前記配線部(6a～6c、7a～7c)とが接続されていることを特徴とする半導体マルチチップモジュール。

【請求項2】 前記複数のインターポーザ(2a～2c)の間には異方導電ペースト(5)が充填されており、この異方導電ペースト(5)が前記電極部(4a～4c)と前記配線部(6a～6c、7a～7c)との間に挟まれることによって、これら電極部(4a～4c)と配線部(6a～6c、7a～7c)との電氣的接続が成されていると共に、

この異方導電ペースト(5)の引っ張り応力によって前記加圧された状態が保持されていることを特徴とする請求項1に記載の半導体マルチチップモジュール。

【請求項3】 前記半導体チップ(1a～1c)は前記インターポーザ(2a～2c)にフェイスアップで搭載されており、

前記インターポーザ(2a～2c)の裏面に備えられた異方導電膜(20)が前記電極部(4a～4c)と前記配線部(6a～6c、7a～7c)の間に挟まれることによって、これら電極部(4a～4c)と配線部(6a～6c、7a～7c)との電氣的接続がなされていることを特徴とする請求項1に記載の半導体マルチチップモジュール。

【請求項4】 前記電極部(4a～4c)は、前記半導体チップ(1a～1c)から突出するように形成されたバンパ電極を有し、このバンパ電極によって前記配線部(6a～6c、7a～7c)との電氣的接続がなされていることを特徴とする請求項1乃至3のいずれか1つに

記載の半導体マルチチップモジュール。

【請求項5】 前記導電部材(8a、8b)は、異方導電材料であることを特徴とする請求項1乃至4のいずれか1つに記載の半導体マルチチップモジュール。

【請求項6】 前記インターポーザ(2a～2c)には、前記半導体チップ(1a～1c)の搭載位置から該インターポーザ(2a～2c)の端面まで達する放熱経路が設けられており、

前記インターポーザ(2a～2c)の端面には、半導体チップ(1a～1c)が発する熱を放熱するためのヒートシンク(33)が取り付けられていることを特徴とする請求項1乃至5のいずれか1つに記載の半導体マルチチップモジュール。

【請求項7】 前記放熱経路は、

前記インターポーザ(2a～2c)のうち前記半導体チップ(1a～1c)の搭載位置に形成され、金属材料が埋め込まれたスルーホール(30)と、

前記インターポーザ(2a～2c)の内部若しくは表裏面に形成された該インターポーザ(2a～2c)の端面に達する金属薄膜層(31)と、

前記インターポーザ(2a～2c)の端面で切断された金属材料が埋め込まれたスルーホール(32)からなることを特徴とする請求項6に記載の半導体マルチチップモジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、配線基板等をインターポーザとして半導体チップを複数積層して形成する半導体マルチチップモジュールに関するものである。

【0002】

【従来の技術】従来、LSIを始めとする半導体チップは1チップを想定して設計、製造されてきたが、半導体チップの機能、性能拡大に伴い、チップ面積の増大、複数の異種材料を1チップ内に組み込むためのプロセスの融合等の問題が生じている。すなわち、チップ面積の増大は、歩留まりを低下させると同時にスライスあたりの収率(1ウェハあたりに形成できるチップ量)を低下させ、チップコストを増大させる。また、プロセスの煩雑さや機能の拡大は、半導体チップの設計や製造コストの引き上げの要因となる。

【0003】このような問題を解決するものとして半導体マルチチップモジュール(以下、マルチチップモジュールという)がある。このマルチチップモジュールは、機能やプロセスごとにチップを分割して製造しておき、最終的に各チップを電氣的に接続して1つのモジュールとすることで必要な機能を実現するものである。しかし、機能の拡大に基づくチップ数の増大により、マルチチップモジュールにおいても占有面積増大の傾向にある。このため、図8に示すように、半導体チップ101を搭載した配線基板102間をはんだバンパ103で電

氣的に接続することで、複数の配線基板102を3次元的に積層し、占有面積を抑えた構造が提案されている(特開平6-13541号公報参照)。

#### 【0004】

【発明が解決しようとする課題】しかしながら、上記構造を有するマルチチップモジュールでは、インターポーザとなる配線基板102の表裏面にはんだバンプ103を形成しなければならない。また、半導体チップ101と配線基板102の間をワイヤボンディングによって接続したり、インターポーザ同士の接続を別々に取る必要があるため、マルチチップモジュールの作製工程が煩雑になるという問題がある。

【0005】一方、小面積で積層数を増やし実装密度を上げていくとマルチチップモジュール内での発熱を効果的に放熱することも難しくなる。例えば、図9に示すようにマルチチップモジュールを熱容量の大きな主基板に搭載した場合、図中の矢印のように熱は積層されたインターポーザを介して放熱板104に伝わり放熱される。従って、積層数が増えるとマルチチップモジュールの上部の半導体チップ101からの放熱経路が長くなり放熱が困難になるという問題がある。

【0006】本発明は上記問題に鑑みて成され、インターポーザの表裏面にはんだバンプを形成する必要なく、かつ半導体チップとインターポーザ間及びインターポーザ同士の接続が同時に行えるマルチチップモジュールを提供することを第1の目的とする。さらに、積層数が増えても放熱経路を長くすることなく、放熱が容易に行えるマルチチップモジュールを提供することを第2の目的とする。

#### 【0007】

【課題を解決するための手段】本発明は上記目的を達成するために、以下の技術的手段を採用する。請求項1乃至7に記載の発明においては、電氣的に接続される配線部(6a~6c、7a~7c)のそれぞれの間に導電部材(8a、8b)を挟んで複数のインターポーザ(2a~2c)が積層されており、この積層方向の両側から複数のインターポーザ(2a~2c)が加圧されることによって、導電部材(8a、8b)と配線部(6a~6c、7a~7c)とが接続されると同時に、半導体チップ(1a~1c)及び電極部(4a~4c)がインターポーザ(2a~2c)の間に挟み込まれて固定されて電極部(4a~4c)と配線部(6a~6c、7a~7c)とが接続されていることを特徴としている。

【0008】このように、複数のインターポーザ(2a~2c)を積層し、この積層方向に複数のインターポーザ(2a~2c)を加圧することによって、導電部材(8a、8b)によって配線部(6a~6c、7a~7c)同士の接続が行われ、それと同時に半導体チップ(1a~1c)及び電極部(4a~4c)がインターポーザ(2a~2c)の間に挟み込まれて電極部(4a~

4c)と配線部(6a~6c、7a~7c)との接続が行われるようになっている。このため、半導体チップ(1a~1c)とインターポーザ(2a~2c)間及びインターポーザ(2a~2c)同士の接続が同時に行え、インターポーザ(2a~2c)の表裏面にはんだバンプを形成する必要もなくすることができる。

【0009】請求項2に記載の発明においては、複数のインターポーザ(2a~2c)の間には異方導電ペースト(5)が充填されており、この異方導電ペースト(5)が電極部(4a~4c)と配線部(6a~6c、7a~7c)との間に挟まれることによって、これら電極部(4a~4c)と配線部(6a~6c、7a~7c)との電氣的接続が成されていると共に、この異方導電ペースト(5)の引っ張り応力によって加圧された状態が保持されていることを特徴としている。

【0010】異方導電ペースト(5)を用いた場合、インターポーザ(2a~2c)に挟み込まれた電極部(4a~4c)と配線部(6a~6c、7a~7c)の間が電氣的に接続できると共に、硬化した異方導電ペースト(5)によって複数のインターポーザ(2a~2c)を加圧した状態のままに保持することができる。これにより、半導体チップ(1a~1c)とインターポーザ(2a~2c)間及びインターポーザ(2a~2c)同士の接続を確実に保持することができる。

【0011】請求項5に記載の発明においては、導電部材(8a、8b)は、異方導電材料であることを特徴としている。このように、異方導電材料、例えば異方導電ゴム等を用いた場合には、加圧する方向にのみ電氣的導通が得られるようにできるため、配線部(6a~6c、7a~7c)のみを好適に接合することができる。

【0012】請求項6に記載の発明においては、インターポーザ(2a~2c)には、半導体チップ(1a~1c)の搭載位置からインターポーザ(2a~2c)の端面まで達する放熱経路が設けられており、インターポーザ(2a~2c)の端面には半導体チップ(1a~1c)が発する熱を放熱するためのヒートシンク(33)が取り付けられていることを特徴としている。

【0013】このように、インターポーザ(2a~2c)に半導体チップ(1a~1c)の搭載位置からインターポーザ(2a~2c)の端面まで達する放熱経路を設けておけば、この放熱経路を通じて半導体チップ(1a~1c)からの発熱を逃がすことができる。そして、インターポーザ(2a~2c)の端面にヒートシンク(33)を設けておけば、逃がされた熱をヒートシンク(33)を介して良好に放熱することができる。

【0014】なお、具体的な放熱経路は、請求項7に示すように、インターポーザ(2a~2c)のうち半導体チップ(1a~1c)の搭載位置に形成され、金属材料が埋め込まれたスルーホール(30)と、インターポーザ(2a~2c)の内部若しくは表裏面に形成されたイ

インターポーザ(2a~2c)の端面に達する金属薄膜層(31)と、インターポーザ(2a~2c)の端面で切断された金属材料が埋め込まれたスルーホール(32)によって構成することができる。

【0015】

【発明の実施の形態】以下、本発明を図に示す実施形態について説明する。

(第1実施形態)図1にマルチチップモジュール100の断面図を示す。以下、図1に基づきマルチチップモジュール100の構成について説明する。

【0016】マルチチップモジュール100は、機能やプロセスごとに分割されて形成された複数の半導体チップ1a、1bと、これら複数の半導体チップ1a、1bをそれぞれ搭載した積層薄膜基板(インターポーザ)2a、2bを備えており、積層薄膜基板2a、2bと共に半導体チップ1a、1bが積層されて構成されている。

【0017】積層薄膜基板2a、2bには凹部3a、3bが形成されており、半導体チップ1a、1bはこの凹部3a、3b内に樹脂10を介してフェースアップでマウントされている。半導体チップ1a、1bには入出力電極が形成されており、この入出力電極上に形成されたバンパ電極4a、4bと、半導体チップ1a、1b及び積層薄膜基板2a、2cの間に配された異方導電ペースト5によって、積層薄膜基板2a、2cの裏面に備えられた電気配線6c、6aとの電気的接続が成されている。具体的には、異方導電ペースト5には、金属フィラー等を多量に添加した熱伝導率の大きなものが用いられ、金属フィラー等によってバンパ電極4a、4bが電気配線6c、6aと電気的に接続するようになっている。

【0018】また、電気配線6a、6cは、半導体チップ1a、1bの周囲を囲うように積層薄膜基板2a、2bに形成された複数のビアホールに備えられた貫通電極7a、7bと電気的に接続されており、積層薄膜基板2a、2bの表側から電気的導通が得られるようになっている。そして、貫通電極7a、7bと電気配線6c、6aとの間に配置された加圧方向に電気的導通がとれる異方導電ゴム8a、8bによって、積層薄膜基板2a~2cは相互に電気的に接続されている。

【0019】マルチチップモジュール100は上記構成を成しており、異方導電ゴム8a、8b、貫通電極7a、7b、異方導電ゴム8a、8b及び電気配線6a、6cを介して、半導体チップ1aと半導体チップ1bが相互に電気的に接続されている。なお、異方導電ゴム8a、8bにより、積層薄膜基板5a~5cそれぞれの間において良好な電気的接続を得るためには、異方導電ゴム8a、8bを上下方向に加圧変形させておく必要がある。このため、本実施形態では、半導体チップ1a、1bと積層薄膜基板裏面の電気配線6a、6cとの接続のために積層薄膜基板2a~2c間に充填した異方導電ベ

ースト5の引っ張り応力によって異方導電ゴム8a、8bの加圧変形が保持されるようになっている。

【0020】次に、上記構成を有するマルチチップモジュール100の製造工程を図2(a)~(c)及び図3(a)、(b)に示し、これらの図に基づいてマルチチップモジュール100の製造工程を説明する。

〔図2(a)に示す工程〕まず、絶縁層と導体層を積層して形成された、インターポーザとなる積層薄膜基板2aを用意する。そして、半導体チップ1aを囲むように、積層薄膜基板2aの表裏を貫通するビアホールを形成し、このビアホールに貫通電極7aを形成する。

【0021】また、フォトリソ・エッチングにより積層薄膜基板2aの表面に凹部3aを形成する。さらに、積層薄膜基板2aの裏面にパターニングにより電気配線6aを形成する。この電気配線6aは、後の図3(a)に示されるもう一つの積層薄膜基板2bにフェースアップでマウントされた半導体チップ1bに接続されるものである。

【0022】〔図2(b)に示す工程〕次に、積層薄膜基板2aの表面に設けた凹部3aに、バンパ電極4aが表面に備えられた半導体チップ1aをフェースアップでマウントする。このとき、凹部3aが設けてあることからマウントの際の位置決めを容易に行うことができる。このマウントには熱伝導率の高い樹脂10を用いており、170℃程度の温度で加圧して樹脂10を熱硬化させることによって行う。

【0023】〔図2(c)に示す工程〕続いて、異方導電ゴム8aを貫通電極7a上に配置する。この異方導電ゴム8aの高さは、積層薄膜基板2aから半導体チップ1aの表面のバンパ電極4aまでの高さの1.3~1.5倍程度であり、積層薄膜基板2aと図3(a)の積層薄膜基板2bとを接合する際に異方性導電ゴム8aが十分に加圧される程度の高さとなっている。

【0024】積層薄膜基板2aにフェースアップでマウントされた半導体チップ1aの表面に熱硬化性樹脂に数μm程度の導電性粒子が添加された異方導電ペースト5を塗布する。

〔図3(a)に示す工程〕図2(a)~(c)と同様の工程を経て、積層薄膜基板2bの表面に半導体チップ1bがフェースアップでマウントされたものを用意し、さらに裏面に電気配線6cがパターニングされた積層薄膜基板2cを用意する。

【0025】そして、積層薄膜基板2a、2bのそれぞれの貫通電極7a同士及び半導体チップ1a、1bの表面のバンパ電極4a、4bと積層薄膜基板2a、2c裏面の電気配線6a、6cが一致するように積層薄膜基板2a~2cを位置決めし、これら積層配線基板2a~2cを上下から加圧する。このとき、加圧は異方導電ゴム8a、8bが変形し、半導体チップ1a、1b1b上のバンパ電極4a、4bと電気配線6a、6cとが十分接触する程度(一端子あたり十~数十グラムの加重がかか

る程度)とする。

【0026】これにより、異方導電ゴム8aと貫通電極7a及び電気配線6cや、異方導電ゴム8bと貫通電極7b及び配線6aの電氣的導通が成されると同時に、パンプ電極4aと電気配線6cや、パンプ電極4bと電気配線6aの電氣的導通が成される。

〔図3(b)に示す工程〕積層薄膜基板2a~2cを加圧したまま150℃~180℃の温度で異方導電ペースト5を硬化させる。硬化時間は、約数十秒程度で完了する。異方導電ペースト5は、積層薄膜基板2a~2cの加圧によって積層薄膜基板2a、2cと半導体チップ1a、1b及び積層薄膜基板2a~2cのそれぞれの間の間隙に充填された状態で硬化するため、積層薄膜基板2a~2cのそれぞれの間を上記加圧された状態のまま、つまり上記した電氣的導通が成されたままの状態で強固に機械的に固定できる。そして、この固定は硬化した異方導電ペースト5の引っ張り応力によって保持される。なお、このときの硬化温度は、異方導電ゴム8a、8bの耐熱温度より十分低いいため異方導電ゴム8a、8bへのダメージはない。

【0027】このような異方導電ペースト5の硬化によって、半導体チップ1a、1bと積層薄膜基板2a、2cの裏面の電気配線6a、6bとの接続と同時に異方導電ゴム8a、8bを介した積層薄膜基板2a~2cのそれぞれの間の電氣的接続が完了すると共に、必要枚数の積層薄膜基板2a~2cを積層したマルチチップモジュール100が完成する。

【0028】このように、半導体チップ1a、1bと積層薄膜基板2a、2cとの電氣的接続と、積層薄膜基板2a~2cの間の同士の電氣的接続を一度のプロセスで行えるようにしているため、積層薄膜基板2a、2bを介して半導体チップ1a、1bを積層するマルチチップモジュール100の作製工程を簡略化することができる。また、積層薄膜基板2a~2cのそれぞれの間における接続のためのハンダパンプを形成する工程も省略することができる。さらに、放熱面では半導体チップ1a、1bの両面が積層薄膜基板2a~2cに接するようになっているため、半導体チップ1a、1bが上層に配置されていても放熱効率を良くすることができる。

【0029】(第2実施形態)本実施形態におけるマルチチップモジュール100の断面図を図4に示す。但し、本実施形態におけるマルチチップモジュール100は、第1実施形態のものとほぼ同様の構成を有しているため、同様の構成の部分には第1実施形態と同様の符号を付し、異なる部分についてのみ説明する。

【0030】上記第1実施形態では、半導体チップ1a、1b表面のパンプ電極4a、4bと積層薄膜基板2a、2cの電気配線6a、6との接続に異方導電ペースト5を用いたが、本実施形態では異方導電ペースト5の代わりに異方導電膜20を用いている。この異方導電膜

20は、積層薄膜基板2a、2cの裏面に形成され、積層薄膜基板2a~2cを接合する際に、この異方導電膜20によってパンプ電極4a、4bと電気配線6a、6cとの電氣的接続が行えるようになっている。

【0031】但し、この場合には、異方導電膜20によって異方導電ゴム8a、8bを加圧することができないため、積層配線基板2a~2cの上下からの加圧を保持する手段が別途必要となる。このため、本実施形態では、異方導電膜20を加熱硬化させた後、上記加圧を行ったままの状態、積層された積層薄膜基板2a~2cの端面から積層薄膜基板2a~2cのそれぞれの間における間隙に紫外線硬化樹脂21を注入し、この紫外線硬化樹脂21に紫外線を照射することによって積層薄膜基板2a~2cの固定を強固なものにしている。

【0032】このように、積層薄膜基板2a~2cの間隙等に紫外線硬化樹脂21等の基板固定手段を設けるようすることにより、積層薄膜基板2a~2cの固定を行うようにしてもよい。

(第3実施形態)本実施形態におけるマルチチップモジュール100の断面図を図5に示す。また、図5のマルチチップモジュール100の上面斜視図を図6に示す。但し、本実施形態におけるマルチチップモジュール100は、第1実施形態のものとほぼ同様の構成を有しているため、同様の構成の部分には第1実施形態と同様の符号を付し、異なる部分についてのみ説明する。なお、本実施形態では、積層薄膜基板が多数積層される場合を想定して、積層薄膜基板2c上にも半導体チップ1cが形成されるような場合として説明する。

【0033】本実施形態では、インターポーザとなる積層薄膜基板2a~2cの積層数が多い場合や、半導体チップ1a~1cの発熱量が大きい場合を考慮して、マルチチップモジュール100に放熱構造を採用したものである。図5に示されるように、積層薄膜基板2a~2cのうち半導体チップ1a~1cが搭載される位置には、複数のスルーホールに高熱電導率の金属で充填されたサーマルビア30が形成されている。また、積層薄膜基板2a~2c内には金属薄膜層31が、貫通電極7a~7cを避けるようにして基板全面に形成されている。サーマルビア30は金属薄膜層31に接続するようになっている。

【0034】一方、図5、図6に示されるように、積層薄膜基板2a~2cの端面には、この端面でハーフカットされた金属部分が露出してできたサーマルビア32が多数配置されている。このサーマルビア32は金属薄膜層31に接続されている。このような構造を有する積層薄膜基板2a~2cに半導体チップ1a~1cを搭載したものを多数積層していき、さらにその端面にヒートシンク33を取り付けると、本実施形態におけるマルチチップモジュール100が完成する。

【0035】このような構成を有するマルチチップモジ

ジュール100では、各半導体チップ1a~1cからの発熱がサーマルビア30、金属薄膜層31、基板端面のサーマルビア32という短い放熱経路を経てヒートシンク(放熱板)33で放熱される。このため、積層薄膜基板の積層数が多い場合や、半導体チップ1a~1cの発熱量が大きい場合においても、良好に放熱が成されるようにできる。

#### 【0036】(他の実施形態)

①第1実施形態では、電気配線6a、6cと半導体チップ1a、1bの接続に異方導電ペースト5を用いたが、異方導電ペースト5の代わりに硬化時の体積収縮の比較的大きな樹脂を用いることも可能である。樹脂には異方導電ペースト5の様に導電性粒子は含まれないため、電気的な接続は硬化時に樹脂の体積収縮により発生する半導体チップ1a、1bと積層薄膜基板2a~2cのそれぞれの間での引張り応力に基づき、半導体チップ1a、1b上のパンプ電極4a、4bと積層薄膜基板2a、2cの裏面の電気配線6a、6cが強く接触することによって行うことができる。

【0037】②第1実施形態では、積層薄膜基板5a、5bに半導体チップ1a、1bの位置決めを行うための凹部3a、3bを形成したが、この凹部3a、3bを形成しない構造を採用してもよい。但し、この場合には、図7に示すように積層薄膜基板2a~2cのそれぞれの間の距離が大きくなるため、その分だけ異方導電ゴム8a、8bの厚みを増加する必要がある。

【0038】③第1~第3実施形態では、半導体チップ1a、1bをフェースアップで積層薄膜基板に搭載するようにしたが、フェースダウンで積層薄膜基板2a~2cに搭載しても良い。

④第1~第3実施形態では、インターポーザとして積層

薄膜基板2a~2cを用いた場合について説明したが、インターポーザとしてセラミック基板等のその他の配線基板を適用することも可能である。

#### 【図面の簡単な説明】

【図1】第1実施形態におけるマルチチップモジュール100の断面図である。

【図2】図1に示すマルチチップモジュール100の製造工程を示す図である。

【図3】図2に続くマルチチップモジュール100の製造工程を示す図である。

【図4】第2実施形態におけるマルチチップモジュール100の断面図である。

【図5】第3実施形態におけるマルチチップモジュール100の断面図である。

【図6】図5に示すマルチチップモジュール100の上面斜視図である。

【図7】他の実施形態におけるマルチチップモジュール100を示す断面図である。

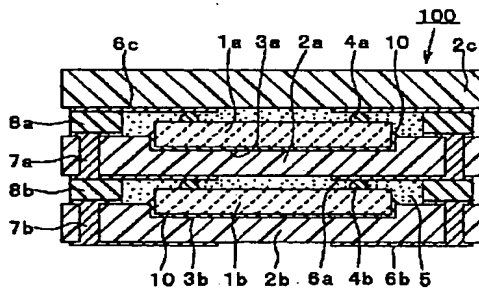
【図8】従来のマルチチップモジュール100を示す断面図である。

【図9】従来のマルチチップモジュール100の放熱経路を示す断面図である。

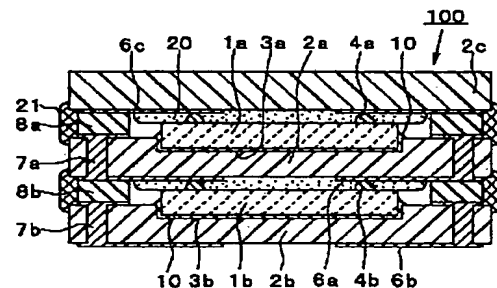
#### 【符号の説明】

1a、1b、1c…半導体チップ、2a、2b、2c…積層薄膜基板、3a、3b…凹部、4a、4b…パンプ電極、5…異方導電ペースト、6a、6b…電気配線、7a、7b…貫通電極、8a、8b…異方導電ゴム、10…樹脂、20…異方導電膜、21…紫外線硬化樹脂、30…サーマルビア、31…金属薄膜層、32…サーマルビア、33…ヒートシンク。

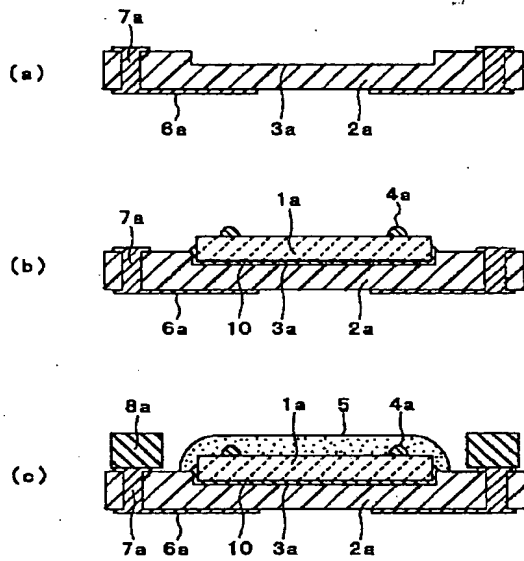
【図1】



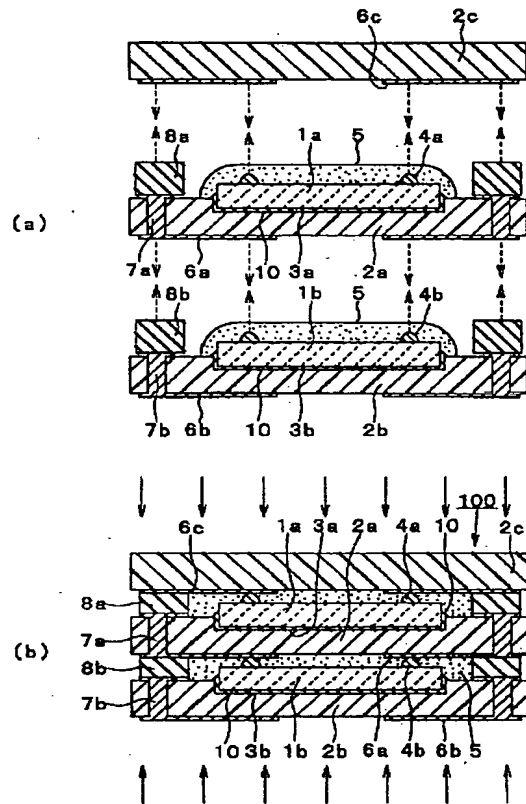
【図4】



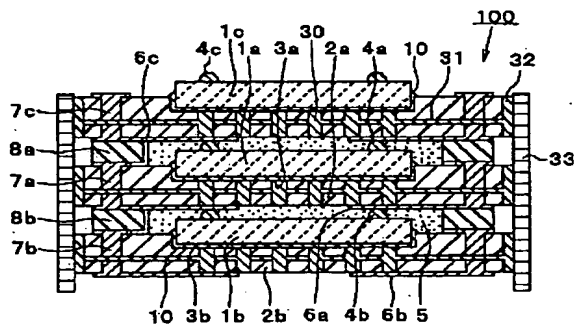
【図2】



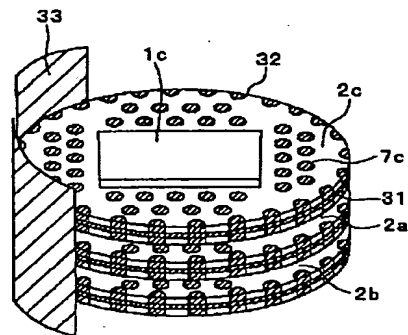
【図3】



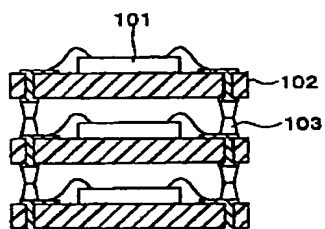
【図5】



【図6】



【図8】

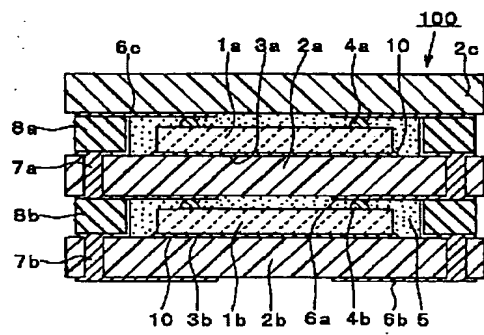




(8)

特開平11-145381

【図7】



【図9】

